

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246017
 (43)Date of publication of application : 19.09.1997

(51)Int.CI.

H01C 7/10
C04B 35/64

(21)Application number : 08-049702

(71)Applicant : TDK CORP

(22)Date of filing : 07.03.1996

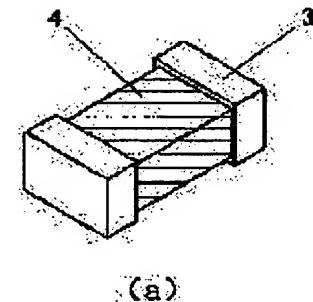
(72)Inventor : MATSUOKA MASARU
OGASAWARA TADASHI

(54) LAMINATED CHIP VARISTOR AND MANUFACTURE THEREOF

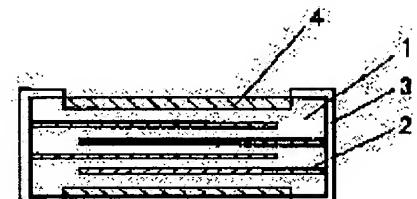
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a chip varistor which can prevent the surface of its body from being plated by electroplating even in the absence of such an insulating protective layer as a glass coated layer and thus which can be resistive to soldering and have a good solderability and be high in reliability at low cost.

SOLUTION: In measurement results of the chip varistor by a secondary ion mass spectroscopy(SIMS), assuming that M1 denotes a concentration of metal Li or Na ions contained in the vicinity of a surface of a varistor body 1 and M2 denotes a concentration of the metal Li or Na ions contained at positions deeper than the surface thereof, then a metal ion concentration ratio (M1/M2) is set to satisfy a relation of $10 \leq (M1/M2) < 50000$.



(a)



(b)

LEGAL STATUS

[Date of request for examination] 05.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] In the laminating type chip varistor which carried out the laminating of a zinc-oxide system varistor material layer and the electrode-material layer by turns The measurement result by the secondary ion mass spectrometry (SIMS) sets to M1 ion concentration of the metal Li contained near the front face of a chip-varistor element assembly, or Metal Na. The laminating type chip varistor to which this metal ion ratio of concentration (M1/M2) is characterized by being $10 \leq (M1/M2) < 50000$ when ion concentration of the metal Li contained in a position (from a front face to a depth of 10 micrometers) deeper than this or Metal Na is set to M2.

[Claim 2] In the manufacture method of the laminating type chip varistor which carried out the laminating of a zinc-oxide system varistor material layer and the electrode-material layer by turns Calcinate a laminating type chip-varistor element assembly, apply an edge electrode, and after being printed, by putting the powder of a lithium carbonate or a sodium carbonate into the interior of sealing *****, keeping an interval in both aforementioned element assemblies suitably, and holding and heating the aforementioned element assembly The manufacture method of the laminating type chip varistor according to claim 1 characterized by heat-treating in Li atmosphere or Na atmosphere.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] About the laminating type chip varistor which used zinc-oxide system material, and its manufacture method, this invention raises the insulation of a chip element assembly front face in detail, and relates to obtaining the laminating type chip varistor which gave electroplating to the edge electrode, without preparing a protective layer.

[0002]

[Description of the Prior Art] Generally, in order that a varistor may protect the semiconductor parts used for the control circuit of various electronic equipment from the unusual high voltage (surge), it is known well that it is indispensable. Since voltage nonlinearity and surge absorptance are excellent, the varistor which makes a zinc oxide (ZnO) a principal component especially is used for many electronic equipment. Such a varistor is indicated by JP,7-320908,A and JP,7-335410,A.

[0003] Moreover, recently, the demand of the miniaturization of a varistor and chip-izing has been increasing with the miniaturization of electronic equipment. There is a veneer type and laminating type type thing as such a thing, and soldering fixed connection is made to be carried out to a printed circuit board etc. The varistor laminating type [in this] is indicated by JP,5-283209,A.

[0004] Drawing 5 shows this conventional kind of laminating type chip varistor, and the (a) perspective diagram and the (b) cross section are illustrated. Here, in 9, an internal electrode and 11 express the edge electrode and, as for 12, a varistor element assembly and 10 express the insulating protective layer, respectively. Generally, although such chip die parts solder to a printed circuit board etc. and carry out fixed connection to it, the edge electrode is consumed by solder and a faulty connection etc. may occur. As this cure, the electroplating film which has thermal resistance, for example, nickel plating film, is given, and the thing of the electrode structure which formed good Sn plating film of soldering nature etc. on it further is produced commercially (illustration of a plating membrane structure is omitted). However, in the case of the varistor which makes a zinc oxide a principal component, when resistance of a chip element assembly front face (zinc-oxide particle) plates to the edge electrode 11 as mentioned above low (specific resistance 1.4×100 ohm-cm) at a sake, the difference [electrode / Ag ground / (specific resistance 1.62×10^{-6} ohm-cm) / a chip element assembly front face and] of resistance will be small, and will be plated besides edge electrode 11. When the worst, there was a problem that a short circuit state would be produced among both edge electrodes 11. Then, in order to prevent such a situation, the insulating protective layers 12, such as a glass coat, are formed in the chip front face.

[0005] Next, according to drawing 6 , the conventional manufacturing process of a laminating type chip varistor is explained. First, the laminating of a varistor material layer and the internal-electrode material layer is carried out by turns, and a green sheet is produced so that an internal electrode 10 may be alternately exposed to both ends every other layer by print processes, the sheet method, etc. (process a). Next, this green sheet is cut to an item. Thereby, plurality **** of a chip becomes possible (process b). Furthermore, a green chip is calcinated after taking the barricade made at the last process (cutting) by performing barrel finishing for each [these] chip (process c) (process d). Next, in order to form the insulating protective layer 12, printing and dryness of a glass coat were repeated for every field to four fields of the vertical side of a calcinated chip, and a both-sides side (processes i, j, k, and l), and it heat-treated on this glass coat from ** (process m). It continues to this, and after applying Ag ground electrode as an edge electrode 11 to the edge of a chip (process e') and baking and (process f) making it it, nickel plating film and a Sn/Pb plating film are given by electroplating (process h'). A laminating type chip varistor is completed by passing through all of these processes.

[0006]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned manufacture method, since it carried out to four fields of a varistor element assembly by having repeated the process of printing and dryness of the glass coat as an insulating protective layer 12 of a predetermined configuration and printing of glass etc. was given, the number of processes increased, and because of hot heat treatment accompanying printing of glass etc., the yield on manufacture was bad and was not able to offer a quality product by the low cost.

[0007] Then, even if solution of the above technical problems is benefited for this invention and it loses the glass coat as an insulating protective layer 12, plating is not attached to the element assembly front face of a varistor by electroplating, and solder thermal resistance and soldering nature are good, and aim at offering a highly reliable laminating type chip varistor by the low cost further.

[0008]

[Means for Solving the Problem] Since the laminating type chip varistor concerning this invention makes Metal Li or Metal Na contain near the front face of a varistor element assembly, it diffuses these toward the interior of a surface shell of a laminating type varistor. When the measurement result by the secondary ion mass spectrometry (SIMS) sets to M2 metal ion concentration contained in a depth of 10 micrometers from M1 and a front face in the metal ion concentration contained near the front face, it is made to be set to $10 \leq (M1/M2) < 50000$ although a content naturally decreases toward the interior near the front face. Thereby, even if it loses a glass coat, plating is not attached to the element assembly front face of a chip varistor by electroplating, and solder thermal resistance and soldering nature are good, and can obtain a reliable laminating type chip varistor by the low cost.

[0009] Moreover, by calcinating a laminating type chip-varistor element assembly, putting the powder of a lithium carbonate or a sodium carbonate into the interior of sealing ******, keeping an interval suitably, and holding and heating the aforementioned element assembly, after applying and printing an edge electrode, the manufacture method of the laminating type chip varistor concerning this invention heat-treats in Li atmosphere or Na atmosphere, and is the manufacture method of the laminating type chip varistors above as a result.

[0010]

[Embodiments of the Invention] Drawing 1 is the (a) perspective diagram and the (b) cross section showing the laminating type chip varistor in this invention. For 1, as for an internal electrode and 3, a varistor element assembly and 2 are [an edge electrode and 4] metal-diffusion layers. Drawing 2 shows the relation between the ** type view of (a) zinc-oxide particle in the varistor surface portion in this invention, the distance (depth) from the (b) front face, and metal ion concentration. Drawing 3 and drawing 4 show the metal-diffusion process in this invention.

[0011] About the edge electrode 3 concerning this invention, the electroplating film which has thermal resistance in Ag ground electrode like the above-mentioned conventional technology, for example, nickel plating film, is given, and the good Sn/Pb plating film of soldering nature etc. is further given on it (illustration of a plating membrane structure is omitted).

[0012] Here, reference of drawing 1 and drawing 2 forms the metal-diffusion layer 4 so that four fields of the varistor element assembly 1 may be surrounded. This metal-diffusion layer 4 is the portion which made the zinc-oxide particle 5 diffuse a metal inside a varistor from a varistor front face with heat treatment. A thing comparatively light as a metal is good, and Metal Li or Metal Na is desirable. When the measurement result by the secondary ion mass spectrometry (SIMS) sets to M2 ion concentration of the metal Li contained in a depth of 10 micrometers from M1 and a front face in the ion concentration of the metal Li contained near the front face of the varistor element assembly 1, or Metal Na, or Metal Na, it is made for this metal ion ratio of concentration ($M1/M2$) to be set to $10 \leq (M1/M2) < 50000$.

[0013] A secondary ion mass spectrometry (SIMS) is explained briefly here. SIMS is the method of measuring the depth direction concentration profile from a surface layer by high sensitivity to μm order. If the ion beam of a high energy (several keV- 20 keV) is made to irradiate a solid-state front face, a sample composition atom will be emitted by the spatter phenomenon as a neutral atom or ion. Thus, it is the method of dividing into the ratio of mass and a charge the ion emitted secondarily with a mass spectrometer, and performing elemental analysis on the front face of a sample, and compound analysis.

[0014] When not reaching to an internal electrode 2 desirably and actually measures Metal Li or Metal Na diffused in the varistor element assembly 1 interior by SIMS, it becomes fixed [diffusion metal ion intensity] in a place deep 10 micrometers or more. That is, diffusion was considered to have not carried out and made a depth of 10 micrometers the central value of the internal amount of metals.

[0015] Metal Li or Metal Na spreads and goes into the zinc-oxide particle 5, and it is in the state where Metal Li or Metal Na dissolved during the zinc-oxide crystal near the front face. Since the effect (specific resistance 105 - 107 $\text{ohm}\cdot\text{cm}$ order) of increasing the resistance of the zinc-oxide particle 5 by making the ratio ($M1/M2$) of metal ion concentration or more into ten is acquired, the zinc-oxide particle near the varistor front face will be in an insulator state seemingly, current stops flowing from a varistor front face at the time of electroplating, plating stops arriving at

the front face of a chip-varistor element assembly, and poor appearance is lost. For this reason, there is no need of preparing a glass coat. Moreover, if the metal ion ratio of concentration (M1/M2) is made or more into 50000, a surge absorption function will fall and a varistor property will not be acquired.

[0016] Next, according to drawing 3 and drawing 4, the manufacturing process of the laminating type chip varistor concerning this invention is explained. First, by print processes, the sheet method, etc., as an internal electrode 2 is alternately exposed to both ends every other layer, the laminating of a zinc-oxide system varistor material layer and the internal-electrode material layer is carried out by turns, and a green sheet is produced (process a). As a material of a zinc-oxide system, ZnO can be made into a principal component, for example, and the material which added rare earth, CoO, =b group (B, aluminum, Ga, In), Si and Cr, =a group (K, Rb, Cs), =a group (Mg, calcium, Sr, Ba), etc. as an accessory constituent can be mentioned. Moreover, as an internal-electrode material, Ag-Pd, Ag, etc. can be mentioned, for example. Next, this green sheet is cut to an item. Thereby, plurality **** of a chip becomes possible (process b). Furthermore, after taking the barricade which performed barrel finishing for each [these] chip, and was made by cutting (process c), a green chip is calcinated (process d), an edge electrode is applied and burned, and Ag ground electrode is formed (processes e and f). Here, although Ag was chosen as a ground electrode material, the seizure over the varistor element assembly 1 is good, connection with internal-electrode material is good, and if it is the material to which plating tends to be attached like a consecutive galvanizer, material can be chosen suitably.

[0017] At the formation process of the metal-diffusion layer 4 following this, into bowl 6a to which only a proper amount will cover with and cook the powder and granular object of the source 8 of a metal diffusion, an interval is suitably set for the varistor element assembly 1, and it lays on a network 7 etc., and seals and heat-treats by cover 6b (process g). It is easy to carry out thermal diffusion here as a source 8 of a metal diffusion, and although comparatively light things, such as Metal Li or Metal Na, are good as the material containing the easy metal of handling, and a metal, other alkali metal may be included. For example, a lithium carbonate (Li₂CO₃), a sodium carbonate (Na₂CO₃), etc. are effective.

[0018] Electroplating is made to generate nickel plating film and a Sn/Pb plating film finally (process h). A laminating type chip varistor is completed through all of these processes.

[0019] It may replace with making edge electrode printing (process f) and metal-diffusion heat treatment (process g) into a separate process as mentioned above, and heat treatment of edge electrode printing and heat treatment of a metal diffusion may be performed simultaneously. Thereby, the heat burden concerning a varistor element assembly can be managed at once, and becomes advantageous in respect of the heat history. Not only it but a manufacturing process decreases, and a manufacturing cost can be lowered.

[0020] Moreover, about the diffusion method of the metal mentioned above, heat treatment temperature may be controlled, the amount of the source of length metallurgy group diffusion of heat treatment time etc. may be controlled, and these control may be combined arbitrarily.

[0021]

[Example] Next, an example explains this invention to a detail further.

[0022] (Example 1) According to above-mentioned drawing 3 and above-mentioned drawing 4, the laminating of a zinc-oxide system varistor material layer and the internal-electrode material layer was carried out by turns, the green sheet was produced, each process of cutting, barrel finishing, baking, the application of an edge electrode, and printing was carried out, and the laminating type chip-varistor element assembly 1 equipped with Ag ground electrode was prepared.

[0023] this -- then, in the process which forms the metal-diffusion layer 4, the interval was suitably set in sealing ***** 6a and 6b which covered with lithium-carbonate (Li₂CO₃) powder 1x10⁻⁴ mol/cm³ as a source 8 of a metal diffusion, the varistor element assembly 1 was laid on the network 7, and heat treatment was performed for this at 700 degrees C for 1 hour

[0024] Finally, in the acid nickel plating cistern, in 2-5-micrometer nickel plating film of ** and an acid Sn/Pb plating cistern, the Sn/Pb plating film of 3-5-micrometer ** was made to generate, and the expected laminating type chip varistor was completed.

[0025] A metal Li ion concentration ratio (M1/M2) measures and obtains the metal Li ion concentration M2 in a depth of 10 micrometers from the metal Li ion concentration [near the front face of the varistor element assembly 1] M1, and a front face using a secondary ion mass spectrometry (SIMS).

[0026] When not reaching to an internal electrode 2 desirably and actually measured by SIMS, since diffusion metal ion intensity becomes fixed and it was not spread [got blocked the metal Li diffused in the varistor element assembly 1 interior and], it made a depth of 10 micrometers the central value of the internal amount of metals in the place deep 10 micrometers or more.

[0027] Moreover, the judgment of an exterior quality judged as poor what was plated by portions other than edge

electrode 3 (varistor element assembly front face). This judgment is an item required in order to maintain the reliability of a final product.

[0028] Furthermore, the judgment of the quality on a property judged as poor that from which voltage at reference current changed 10% or more, after impressing the standard impulse current of 250A and 8/20microsec once.

[0029] In this way, when the metal ion concentration of the metal Li of the obtained varistor was measured, 10 was obtained as a value of the ratio (M1/M2). Since the effect (specific resistance 1.27×10^5 ohm-cm) of increasing the resistance of the zinc-oxide particle 5 near [at this time] the front face was acquired, even if it lost the glass coat, the poor appearance of the chip varistor by electroplating was lost, and it was fully demonstrated, without the property of varistor original also deteriorating.

[0030] (Example 2) They are these conditions except [all] having changed heat treatment temperature among the experiment conditions of the aforementioned example 1, and having experimented as 800 degrees C, 900 degrees C, 930 degrees C, 1000 degrees C, 1070 degrees C, and 1090 degrees C.

[0031] According to the above-mentioned heat treatment conditions, the metal ion ratio of concentration (M1/M2) of Metal Li was set to 50, 500, 1000, 5000, 30000, and 49000, respectively.

[0032] The effect (2.46×10^5 or more ohm-cm of specific resistance) of fully increasing the resistance of the zinc-oxide particle 5 near the front face also by these was acquired. Moreover, it is the same as that of the case of the aforementioned example 1 that there is no poor appearance of the chip varistor in electroplating, and the property of varistor original is fully demonstrated.

[0033] (Example 3) They are these conditions except [all] having changed the source 8 of a metal diffusion with sodium-carbonate (Na_2CO_3) powder from lithium-carbonate (Li_2CO_3) powder among the experiment conditions of the aforementioned example 1 and an example 2.

[0034] In this way, ten or more were the metal ion ratio of concentration (M1/M2) of the metal Na of the obtained varistor. Since the effect (1.04×10^5 or more ohm-cm of specific resistance) of increasing the resistance of the zinc-oxide particle 5 near the front face like the time of diffusing Metal Li also at this time was acquired, even if it loses a glass coat, the poor appearance of the chip varistor by electroplating is lost, and the property of varistor original is also fully demonstrated.

[0035] (Example 1 of comparison) 1090 degrees C or more 700 degrees C or less are [all of 500 degrees C, 600 degrees C, and except for having specifically considered as 1100 degrees C] specifically these conditions about heat treatment temperature among the experiment conditions of the aforementioned example 1 and an example 2.

[0036] In such heat treatment temperature, at the time of 500 degrees C and 600 degrees C, the metal ion ratio of concentration (M1/M2) of Metal Li was set to 1 and 5, and it was less than ten. At this time, the resistance of the zinc-oxide particle 5 near the front face could not fully be increased (less than 10^4 ohm-cm of specific resistance), and the appearance percent defective of the chip varistor in electroplating became 60% and 40%. However, there was no influence in the property of original of a varistor. Moreover, when heat treatment temperature was 1100 degrees C, the metal ion ratio of concentration (M1/M2) of Metal Li amounted to 50000. Since the resistance of the zinc-oxide particle 5 near the front face was fully increased at this time, although there was no poor appearance of the chip varistor in electroplating, the voltage at reference current when impressing the standard impulse current descended, and the property of varistor original was not demonstrated.

[0037] (Example 2 of comparison) They are these conditions except [all] having changed the source 8 of a metal diffusion with sodium-carbonate (Na_2CO_3) powder from lithium-carbonate (Li_2CO_3) powder among the experiment conditions of the aforementioned example 1 of comparison.

[0038] In such heat treatment temperature, at the time of 500 degrees C and 600 degrees C, the metal ion ratio of concentration (M1/M2) of Metal Na was set to 1 and 5, and it was less than ten. At this time, the resistance of the zinc-oxide particle 5 near the front face could not fully be increased, and it became 60% of appearance percent defectives of the chip varistor in electroplating, and 45%. However, there was no influence in the property of original of a varistor. Moreover, when heat treatment temperature was 1100 degrees C, the metal ion ratio of concentration (M1/M2) of Metal Na amounted to 50000. Since the resistance of the zinc-oxide particle 5 near the front face was fully increased at this time, although there was no poor appearance of the chip varistor in electroplating, the property of original of a varistor was not demonstrated.

[0039] What summarized the result of the above experiment is shown in Table 1.

[0040]

[Table 1]

金属イオ ン濃度比 (M1/M2)	L 1			N a		
	外観不良率 (%)	比抵抗 (Ω · cm)	特性不良率 (%)	外観不良率 (%)	比抵抗 (Ω · cm)	特性不良率 (%)
非極微	70	1.4×10^9	0	70	1.4×10^9	0
1	60	5.6×10^2	0	60	3.1×10^2	0
5	40	7.2×10^3	0	45	8.5×10^3	0
10	0	1.27×10^6	0	0	1.04×10^6	0
50	0	2.46×10^6	0	0	2.84×10^6	0
500	0	5.78×10^6	0	0	6.29×10^6	0
1000	0	8.36×10^6	0	0	8.23×10^6	0
5000	0	8.76×10^6	0	0	1.02×10^6	0
30000	0	2.13×10^6	0	0	3.21×10^6	0
49000	0	3.20×10^7	0	0	2.80×10^7	0
50000	0	9.70×10^7	5	0	8.92×10^7	8

[0041] Since the effect of increasing the resistance of the zinc-oxide particle 5 near the front face by making the metal ion ratio of concentration (M1/M2) of Metal Li or Metal Na or more into ten is acquired, even if it loses a glass coat, the poor appearance of the chip varistor by electroplating is lost, and the property of original of a varistor is also fully demonstrated.

[0042] Not only the yield is bad, but on the other hand, the appearance percent defective of the chip varistor according that the ratio of the aforementioned metal ion concentration is less than ten to electroplating becomes 40% or more, and it cannot perform reservation of reliability. Moreover, as for the poor appearance of the chip varistor according that the ratio of metal ion concentration is 50000 or more to electroplating, it turns out that varistor material composition of what is lost will change, a surge absorption function falls, and the property of original of a varistor is not acquired.

[0043] From this result, the ratio (M1/M2) of the aforementioned metal ion concentration was understood that it is desirable to set up so that it may be set to $10 \leq (M1/M2) < 50000$ based on the measurement result by the secondary ion mass spectrometry (SIMS).

[0044]

[Effect of the Invention] The laminating type chip varistor concerning this invention can increase the resistance of a zinc-oxide particle [near the front face of the chip-varistor element assembly concerned] by diffusing Metal Li or Metal Na inside a zinc-oxide particle from the front-face side of a chip-varistor element assembly, and the zinc-oxide particle near the varistor front face will be in an insulator state seemingly so that I may be understood from the above thing. For this reason, when carrying out necessary electroplating, current stops flowing, plating stops arriving at the front face of a chip-varistor element assembly, and generating with poor appearance disappears from a varistor front face. For this reason, the need of making protective layers, such as a glass coat, forming in the front face of a chip-varistor element assembly is lost, the manufacturing process is simplified, and a laminating type chip varistor can be offered by the low cost. In addition, the yield of a final product becomes good and can make it a highly reliable thing.

[Translation done.]

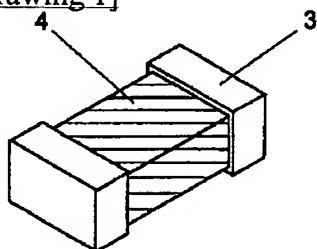
* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

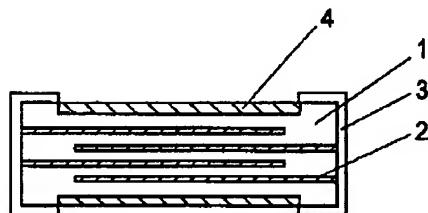
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

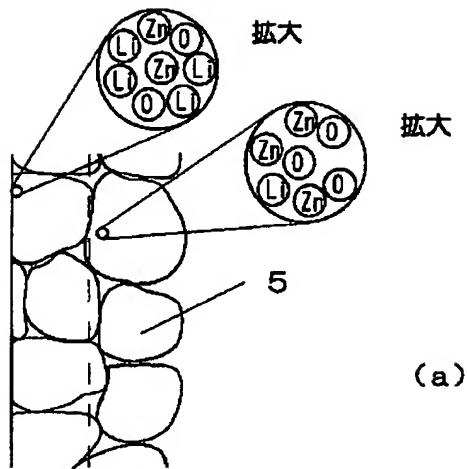


(a)

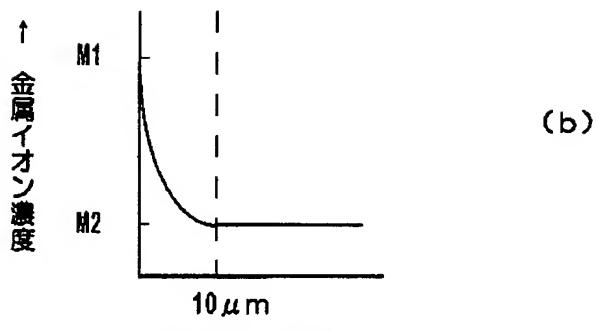


(b)

[Drawing 2]



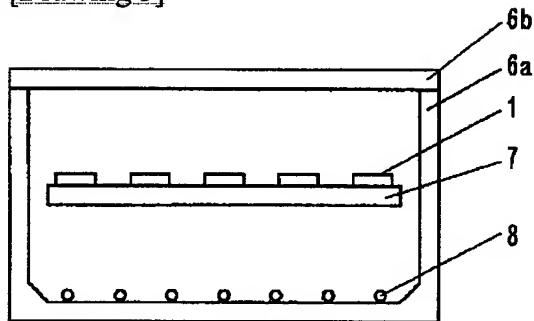
(a)



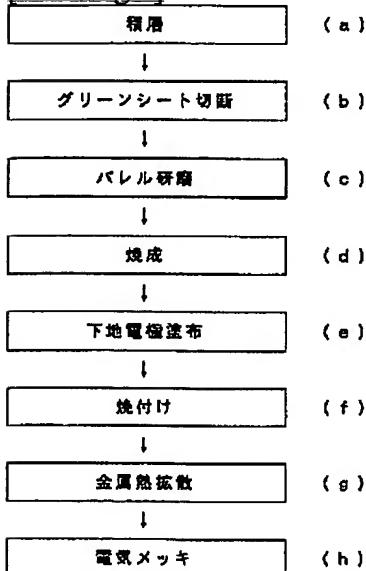
(b)

表面からの距離 →

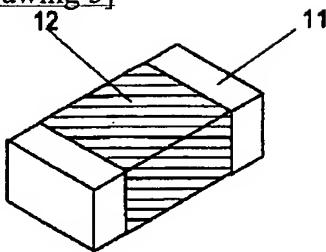
[Drawing 3]



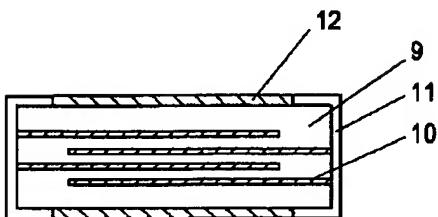
[Drawing 4]



[Drawing 5]

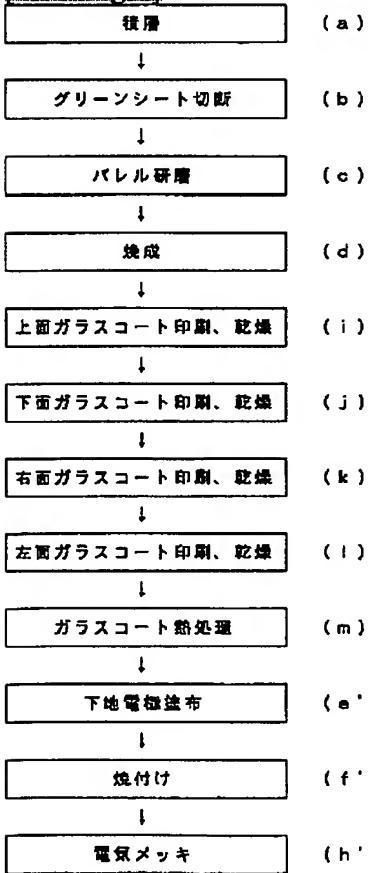


(a)



(b)

[Drawing 6]



[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-246017

(43)公開日 平成9年(1997)9月19日

(51)Int. C1. 6

H 01 C 7/10
C 04 B 35/64

識別記号

府内整理番号

F I

H 01 C 7/10
C 04 B 35/64

技術表示箇所

A

審査請求 未請求 請求項の数2

OL

(全7頁)

(21)出願番号 特願平8-49702

(71)出願人 000003067

ティーディーケイ株式会社
東京都中央区日本橋1丁目13番1号

(22)出願日 平成8年(1996)3月7日

(72)発明者 松岡 大

東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(72)発明者 小笠原 正

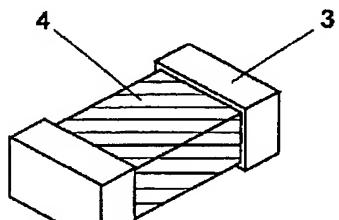
東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(54)【発明の名称】積層型チップバリスタ及びその製造方法

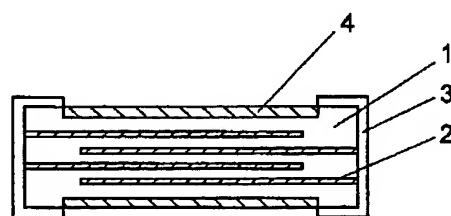
(57)【要約】

【課題】ガラスコート等の絶縁保護層を無くしても、電気メッキによるバリスタの素体表面にメッキが付かず、半田耐熱性及び半田付け性が良く、更に低コストで高信頼性の積層型チップバリスタを提供することが解決すべき課題である。

【解決手段】二次イオン質量分析法(SIMS)による測定結果が、バリスタ素体の表面近傍に含まれる金属Liまたは金属Naイオン濃度をM1とし、これより深い位置(表面から深さ10μm)に含まれる金属Liまたは金属Naイオン濃度をM2としたときに、この金属イオン濃度比(M1/M2)を、 $1.0 \leq (M1/M2) < 50000$ としてなる積層型チップバリスタである。



(a)



(b)

【特許請求の範囲】

【請求項1】酸化亜鉛系バリスタ材料層と電極材料層とを交互に積層した積層型チップバリスタにおいて、
二次イオン質量分析法(SIMS)による測定結果が、
チップバリスタ素体の表面近傍に含まれる金属Liまたは金属Naのイオン濃度をM1とし、これより深い位置
(表面から深さ10μm)に含まれる金属Liまたは金属Naのイオン濃度をM2としたときに、この金属イオン濃度比(M1/M2)が、 $1.0 \leq (M1/M2) < 5.000$ であることを特徴とする積層型チップバリスタ。

【請求項2】酸化亜鉛系バリスタ材料層と電極材料層とを交互に積層した積層型チップバリスタの製造方法において、

積層型チップバリスタ素体を焼成し、端部電極を塗布し、焼付けた後に、密閉こう鉢の内部に炭酸リチウムまたは炭酸ナトリウムの粉末を入れ、前記素体相互に適宜間隔を置いて前記素体を保持し、加熱することによって、Li雾囲気またはNa雾囲気中で熱処理を行うことを特徴とする請求項1に記載の積層型チップバリスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、酸化亜鉛系材料を使用した積層型チップバリスタ並びにその製造方法に関するもので、詳しくはチップ素体表面の絶縁性を向上させ、保護層を設げずに端部電極に電気メッキを施した積層型チップバリスタを得ることに関する。

【0002】

【従来の技術】一般にバリスタは、各種電子機器の制御回路に使用される半導体部品を異常高電圧(サージ)から保護するために不可欠なものとなっていることは良く知られている。中でも酸化亜鉛(ZnO)を主成分とするバリスタは、電圧非直線性やサージ吸収能力が優れていることから多くの電子機器に使用されている。このようなバリスタは、例えば特開平7-320908号公報や特開平7-335410号公報に開示されている。

【0003】また、最近では電子機器の小型化に伴いバリスタの小型化、チップ部品化の要求が高まってきている。このようなものとして単板タイプや積層型タイプのものがあり、プリント回路基板等に半田付け固定接続するようにされる。この中の積層型のバリスタは例えば特開平5-283209号公報に開示されている。

【0004】図5は従来のこの種の積層型チップバリスタを示すものであり、(a)斜視図と(b)断面図とが例示されている。ここで、9はバリスタ素体、10は内部電極、11は端部電極、12は絶縁保護層をそれぞれ表している。一般に、このようなチップ型部品は、プリント回路基板等に半田付けして固定接続するものであるが、その端部電極が半田に喰われ、接続不良等が発生す

ることがある。この対策として、耐熱性を有する電気メッキ膜、例えばNiメッキ膜を施し、更にその上に半田付け性の良いSnメッキ膜等を形成した電極構造のものが製品化されている(メッキ膜構造の図示は省略する)。しかしながら、酸化亜鉛を主成分とするバリスタの場合、チップ素体表面(酸化亜鉛粒子)の抵抗が低く(比抵抗 $1.4 \times 10^0 \Omega \cdot \text{cm}$)ために、前述のように端部電極11にメッキを行うときにチップ素体表面とAg下地電極(比抵抗 $1.62 \times 10^{-6} \Omega \cdot \text{cm}$)との抵抗の差が小さく、端部電極11以外にもメッキされてしまう。最悪の場合、両方の端部電極11間で短絡状態を生じることになるという問題があった。そこで、このような事態を防止するために、チップ表面にガラスコートなどの絶縁保護層12を設けている。

【0005】次に、図6に従い、積層型チップバリスタの従来の製造工程を説明する。まず、印刷法やシート法等によって内部電極10が1層おきに互い違いに両端部に露出するようにバリスタ材料層と内部電極材料層を交互に積層してグリーンシートを作製する(工程a)。次にこのグリーンシートを単品に切断する。これによりチップの複数個取りが可能となる(工程b)。更にこれら各チップにバレル研磨を行なうことによって前工程(切断)でできたバリを取った(工程c)後、グリーンチップを焼成する(工程d)。次に絶縁保護層12を形成するため焼成済みチップの上下面及び両側面の4つの面に1つの面ごとにガラスコートの印刷と乾燥を繰り返し(工程i、j、k、l)てから、このガラスコートに熱処理を施した(工程m)。これに続けて、チップの端部に、端部電極11としてのAg下地電極を塗布(工程e')、焼付け(工程f')した後に、電気メッキでNiメッキ膜とSn/Pbメッキ膜を施す(工程h')。これらの工程を全て経ることにより積層型チップバリスタが完成する。

【0006】

【発明が解決しようとする課題】しかしながら、上記の製造方法では、バリスタ素体の4つの面に対して、所定形状の絶縁保護層12としてのガラスコートの印刷・乾燥の工程を繰り返して行い、ガラスの焼付けなどを施しているので、工程数が多くなり、また、ガラスの焼付けに伴う高温の熱処理等のため製造上の歩留りが悪く、低コストで高品質の製品を提供することができなかった。

【0007】そこで、本発明は上記のような課題の解決のためになされたものであり、絶縁保護層12としてのガラスコートを無くしても、電気メッキによってバリスタの素体表面にメッキが付くことがなく、半田耐熱性及び半田付け性が良く、更に低コストで高信頼性の積層型チップバリスタを提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明に係る積層型チッ

パリスタは、パリスタ素体の表面付近に金属L_iまたは金属N_aを含有させるため、これらを積層型パリスタの表面から内部に向かって拡散させる。含有量は当然表面近傍から内部に向かって少なくなるが、二次イオン質量分析法(SIMS)による測定結果が、表面近傍に含まれる金属イオン濃度をM₁、表面から深さ10μmに含まれる金属イオン濃度をM₂としたとき、 $10 \leq (M_1/M_2) < 50000$ となるようにする。これにより、ガラスコートを無くしても、電気メッキによってチップパリスタの素体表面にメッキが付くことがなく、半田耐熱性及び半田付け性が良く、低成本で信頼性の高い積層型チップパリスタを得ることができる。

【0009】また、本発明に係る積層型チップパリスタの製造方法は、積層型チップパリスタ素体を焼成し、端部電極を塗布し、焼き付けた後に、密閉こう鉢の内部に炭酸リチウムまたは炭酸ナトリウムの粉末を入れ、適宜間隔を置いて前記素体を保持し、加熱することによって、L_i雾囲気またはN_a雾囲気中で熱処理を行い、結果的に上記のような積層型チップパリスタの製造方法である。

【0010】

【発明の実施の形態】図1は、本発明における積層型チップパリスタを示す(a)斜視図と(b)断面図である。1はパリスタ素体、2は内部電極、3は端部電極、4は金属拡散層である。図2は、本発明におけるパリスタ表面部分における(a)酸化亜鉛粒子の模式図と(b)表面からの距離(深さ)と金属イオン濃度との関係を示している。図3及び図4は、本発明における金属拡散工程を示している。

【0011】本発明に係る端部電極3については、前述の従来技術と同様にA_g下地電極に耐熱性を有する電気メッキ膜、例えばN_iメッキ膜を施し、更にその上に半田付け性の良いS_n/P_bメッキ膜等を施す(メッキ膜構造の図示は省略する)。

【0012】ここで、図1及び図2を参照すると、金属拡散層4はパリスタ素体1の4つの面を取り囲むように形成されている。この金属拡散層4は、酸化亜鉛粒子5に金属を熱処理によってパリスタ表面からパリスタ内部へ拡散させた部分である。金属としては比較的軽いものが良く金属L_iまたは金属N_aが好ましい。二次イオン質量分析法(SIMS)による測定結果が、パリスタ素体1の表面近傍に含まれる金属L_iまたは金属N_aのイオン濃度をM₁、表面から深さ10μmに含まれる金属L_iまたは金属N_aのイオン濃度をM₂としたときに、この金属イオン濃度比(M₁/M₂)が、 $10 \leq (M_1/M_2) < 50000$ となるようにする。

【0013】ここで二次イオン質量分析法(SIMS)について簡単に説明する。SIMSは表面層からμmオーダーで深さ方向濃度プロファイルを高感度で測定できる方法である。高エネルギー(数keV~20keV)

のイオンビームを固体表面に照射させるとスパッタ現象により試料構成原子が中性原子またはイオンとして放出される。このようにして二次的に放出されるイオンを質量分析計で質量・電荷の比に分けて試料表面の元素分析および化合物分析を行う方法である。

【0014】パリスタ素体1内部に拡散した金属L_iまたは金属N_aは内部電極2まで到達しないことが望ましく、また実際にSIMSにより測定したところ、10μm以上深いところでは拡散金属イオン強度が一定となる。つまり拡散はしていないと思われ、深さ10μmを内部の金属量の代表値とした。

【0015】酸化亜鉛粒子5中に金属L_iまたは金属N_aが拡散して行き、表面近傍の酸化亜鉛結晶中に金属L_iまたは金属N_aが固溶した状態となっている。金属イオン濃度の比(M₁/M₂)を10以上とすることによって、酸化亜鉛粒子5の抵抗値を増大させる効果(比抵抗 $10^5 \sim 10^7 \Omega \cdot \text{cm}$ オーダー)が得られるので、見かけ上パリスタ表面近傍の酸化亜鉛粒子が絶縁体状態となり、電気メッキ時にパリスタ表面から電流が流入しなくなり、チップパリスタ素体の表面にメッキが着かなくなる外観不良が無くなる。このため、ガラスコートを設ける必要が無い。また、金属イオン濃度比(M₁/M₂)を50000以上とするとサージ吸収機能が低下してしまい、パリスタ特性が得られない。

【0016】次に、図3及び図4に従い、本発明に係る積層型チップパリスタの製造工程を説明する。まず、印刷法やシート法等によって内部電極2を1層おきに互い違いに両端部に露出するようにして酸化亜鉛系パリスタ材料層と内部電極材料層を交互に積層してグリーンシートを作製する(工程a)。酸化亜鉛系の材料としては、例えばZnOを主成分とし、副成分として希土類、CoO、II族(B、Al、Ga、In)、Si、Cr、Ia族(K、Rb、Cs)、IIa族(Mg、Ca、Sr、Ba)等を添加した材料を挙げることができる。また、内部電極材料としては、例えばA_g-P_d、A_gなどを挙げることができる。次に、このグリーンシートを単品に切断する。これによりチップの複数個取りが可能となる(工程b)。更に、これら各チップにバレル研磨を行って切断によってできたバリを取った(工程c)後、グリーンチップを焼成し(工程d)、端部電極を塗布、焼付けしてA_g下地電極を形成する(工程e、f)。ここでは、下地電極材料としてA_gを選択したが、パリスタ素体1に対する焼付きが良く、内部電極材料との接続が良く、また後続のメッキ工程でメッキが付き易い材料であれば適宜材料を選択することができる。

【0017】これに続く金属拡散層4の形成工程では、金属拡散源8の粉末や粒状物を適宜な量だけ敷き詰めたこう鉢6aの中にパリスタ素体1を適宜間隔をおいて網7などの上に載置し、ふた6bによって密閉して熱処理する(工程g)。ここで金属拡散源8として熱拡散し易

く、取り扱いの容易な金属を含む材料、金属としては金属Liまたは金属Naなど比較的軽いものが良いが他のアルカリ金属を含むものでも良い。例えば、炭酸リチウム (Li_2CO_3) や炭酸ナトリウム (Na_2CO_3) などが有効である。

【0018】最後に、電気メッキによってNiメッキ膜とSn/Pbメッキ膜を生成させる(工程h)。これらの工程を全て経て積層型チップバリスタが完成する。

【0019】前記のように端部電極焼付け(工程f)と金属拡散熱処理(工程g)とを別々の工程とすることに代えて、端部電極焼付けの熱処理と金属拡散の熱処理とを同時にやっても良い。これにより、バリスタ素体に係る熱負担が1回で済むことになり熱履歴の面で有利となる。そればかりでなく製造工程が少なくなり、製造コストを下げることができる。

【0020】また、前述した金属の拡散方法については、熱処理温度を制御したり、熱処理時間の長さや金属拡散源の量などを制御しても良く、またこれらの制御を任意に組み合わせてもよい。

【0021】

【実施例】次に実施例によって本発明をさらに詳細に説明する。

【0022】(実施例1)前述の図3並びに図4に従い、酸化亜鉛系バリスタ材料層と内部電極材料層を交互に積層してグリーンシートを作製し、切断、バレル研磨、焼成、端部電極の塗布、焼付けの各工程を実施し、Ag下地電極を備えた積層型チップバリスタ素体1を用意した。

【0023】これに統いて、金属拡散層4を形成する工程では、金属拡散源8として炭酸リチウム (Li_2CO_3) 粉末を $1 \times 10^{-4} mol/cm^3$ 敷き詰めた密閉こう鉢6a、6bの中に適宜間隔をおいて網7の上にバリスタ素体1を載置して、これを700°Cにて1時間、熱処理を行った。

【0024】最後に、酸性Niメッキ液槽中にて2~5 μm 厚のNiメッキ膜と酸性Sn/Pbメッキ液槽中にて3~5 μm 厚のSn/Pbメッキ膜を生成させて所期の積層型チップバリスタを完成させた。

【0025】金属Liイオン濃度比 (M1/M2) は、バリスタ素体1の表面近傍における金属Liイオン濃度M1、表面から深さ10 μm における金属Liイオン濃度M2とを二次イオン質量分析法 (SIMS) を用いて測定して得たものである。

【0026】バリスタ素体1内部に拡散した金属Liは内部電極2まで到達しないことが望ましく、また実際にSIMSにより測定したところ、10 μm 以上深いところでは拡散金属イオン強度が一定となり、つまり拡散していないため、深さ10 μm を内部の金属量の代表値とした。

【0027】また、外観上の良否の判定は、端部電極3

以外の部分(バリスタ素体表面)にメッキされたものを不良として判断した。この判定は最終製品の信頼性を維持するために必要な項目である。

【0028】更に、特性上の良否の判定は、250A、8/20 μsec の標準インパルス電流を1回印加した後にバリスタ電圧が10%以上変化したものを不良として判断した。

【0029】こうして得られたバリスタの金属Liの金属イオン濃度を測定したところ、その比 (M1/M2)

10 の値として10が得られた。このときの表面近傍の酸化亜鉛粒子5の抵抗値を増大させる効果(比抵抗 $1.27 \times 10^5 \Omega \cdot cm$)が得られたので、ガラスコートを無くしても、電気メッキによるチップバリスタの外観不良が無くなり、バリスタ本来の特性も劣化せずに十分に発揮された。

【0030】(実施例2)前記実施例1の実験条件のうち、熱処理温度を変えて800°C、900°C、930°C、1000°C、1070°C、1090°Cとして実験を行った以外は全て同条件である。

20 【0031】上記の熱処理条件により、金属Liの金属イオン濃度比 (M1/M2) は、それぞれ50、500、1000、5000、30000、49000となつた。

【0032】これらによても表面近傍の酸化亜鉛粒子5の抵抗値を十分に増大させる効果(比抵抗 $2.46 \times 10^5 \Omega \cdot cm$ 以上)が得られた。また、電気メッキにおけるチップバリスタの外観不良も無く、バリスタ本来の特性が十分に発揮されることも前記実施例1の場合と同様である。

30 【0033】(実施例3)前記実施例1並びに実施例2の実験条件のうち、金属拡散源8を炭酸リチウム (Li_2CO_3) 粉末から炭酸ナトリウム (Na_2CO_3) 粉末と変えた以外は全て同条件である。

【0034】こうして得られたバリスタの金属Naの金属イオン濃度比 (M1/M2) が10以上となった。このときも、金属Liを拡散させたときと同様に表面近傍の酸化亜鉛粒子5の抵抗値を増大させる効果(比抵抗 $1.04 \times 10^5 \Omega \cdot cm$ 以上)が得られたので、ガラスコートを無くしても、電気メッキによるチップバリスタの外観不良が無くなり、バリスタ本来の特性も十分に発揮される。

【0035】(比較例1)前記実施例1及び実施例2の実験条件のうち、熱処理温度を700°C以下、具体的には500°Cと600°C、及び1090°C以上、具体的には1100°Cとした以外は全て同条件である。

【0036】これらの熱処理温度の中で500°C及び600°Cのときには、金属Liの金属イオン濃度比 (M1/M2) が1及び5となり10未満であった。このとき、表面近傍の酸化亜鉛粒子5の抵抗値を十分に増大させることができず(比抵抗 $10^4 \Omega \cdot cm$ 未満)、電気

メッキにおけるチップバリスタの外観不良率が60%及び40%となった。ただし、バリスタの本来の特性には影響がなかった。また、熱処理温度が1100°Cのときには、金属L_iの金属イオン濃度比(M1/M2)が50000に達した。このとき、表面近傍の酸化亜鉛粒子5の抵抗値を十分に増大することができたので、電気メッキにおけるチップバリスタの外観不良は無かったが、標準インパルス電流を印加したときのバリスタ電圧が低下してしまいバリスタ本来の特性は発揮されなかつた。

【0037】(比較例2)前記比較例1の実験条件のうち、金属拡散源8を炭酸リチウム(L_{i2}CO₃)粉末から炭酸ナトリウム(Na₂CO₃)粉末と変えた以外は全て同条件である。

【0038】これらの熱処理温度の中で500°C及び600°Cのときには、金属Naの金属イオン濃度比(M1*

*/M2)が1及び5となり10未満であった。このとき、表面近傍の酸化亜鉛粒子5の抵抗値を十分に増大させることができず、電気メッキにおけるチップバリスタの外観不良率60%及び45%となった。ただし、バリスタの本来の特性には影響がなかった。また、熱処理温度が1100°Cのときには、金属Naの金属イオン濃度比(M1/M2)が50000に達した。このとき、表面近傍の酸化亜鉛粒子5の抵抗値を十分に増大することができたので、電気メッキにおけるチップバリスタの外観不良は無かつたが、バリスタの本来の特性は発揮されなかつた。

【0039】以上の実験の結果をまとめたものを表1に示す。

【0040】

【表1】

金属イオン濃度比(M1/M2)	L _i			Na		
	外観不良率(%)	比抵抗(Ω·cm)	特性不良率(%)	外観不良率(%)	比抵抗(Ω·cm)	特性不良率(%)
非拡散	70	1.4 × 10 ⁹	0	70	1.4 × 10 ⁹	0
1	60	5.6 × 10 ²	0	60	3.1 × 10 ²	0
5	40	7.2 × 10 ³	0	45	8.5 × 10 ³	0
10	0	1.27 × 10 ⁶	0	0	1.04 × 10 ⁶	0
50	0	2.46 × 10 ⁸	0	0	2.84 × 10 ⁸	0
500	0	5.78 × 10 ⁸	0	0	6.29 × 10 ⁸	0
1000	0	8.36 × 10 ⁸	0	0	9.23 × 10 ⁸	0
5000	0	8.76 × 10 ⁸	0	0	1.02 × 10 ⁹	0
30000	0	2.13 × 10 ⁹	0	0	3.21 × 10 ⁹	0
49000	0	3.20 × 10 ⁹	0	0	2.80 × 10 ⁹	0
50000	0	9.70 × 10 ⁹	5	0	8.92 × 10 ⁹	8

【0041】金属L_iまたは金属Naの金属イオン濃度比(M1/M2)を10以上とすることによって、表面近傍の酸化亜鉛粒子5の抵抗値を増大させる効果が得られるので、ガラスコートを無くしても、電気メッキによるチップバリスタの外観不良が無くなり、バリスタの本来の特性も十分に発揮される。

【0042】一方、前記金属イオン濃度の比が10未満であると、電気メッキによるチップバリスタの外観不良率が40%以上になってしまい、歩留まりが悪いばかりでなく信頼性の確保ができない。また、金属イオン濃度の比が50000以上であると、電気メッキによるチップバリスタの外観不良は無くなるものの、バリスタ材料組成が変化することになり、サージ吸収機能が低下して、バリスタの本来の特性が得られないことがわかつた。

【0043】この結果から、二次イオン質量分析法(SIMS)による測定結果を基にして、前記金属イオン濃度の比(M1/M2)を10 ≤ (M1/M2) < 500

00となるように設定することが望ましいことが解った。

【0044】

【発明の効果】以上のことから理解されるように、本発明に係わる積層型チップバリスタは、チップバリスタ素体の表面側から酸化亜鉛粒子内部に金属L_iまたは金属Naを拡散させることによって、当該チップバリスタ素体の表面近傍における酸化亜鉛粒子の抵抗値を増大させることができ、見かけ上バリスタ表面近傍の酸化亜鉛粒子が絶縁体状態になる。このため、所要の電気メッキを実施するときにバリスタ表面より電流が流入しなくなり、チップバリスタ素体の表面にメッキが着かなくななり、外観不良の発生がなくなる。このために、チップバリスタ素体の表面にガラスコート等の保護層を形成させる必要が無くなり、その製造工程が簡略化され、低コストで積層型チップバリスタを提供することができる。これに加えて、最終製品の歩留まりが良くなり、高信頼性のものにすることができる。

【図面の簡単な説明】

【図1】本発明における積層型チップバリスタの(a)斜視図と(b)断面図。

【図2】本発明におけるバリスタ表面部分における(a)酸化亜鉛粒子の模式図と(b)表面からの距離(深さ)と金属イオン濃度との関係を示す図。

【図3】本発明における金属拡散工程を示す図。

【図4】本発明における金属拡散工程手順を示す図。

【図5】従来例における積層型チップバリスタの(a)斜視図と(b)断面図。

【図6】従来例における金属拡散工程手順を示す図。

【符号の説明】

1:バリスタ素体

2:内部電極

3:端部電極

4:金属拡散層

5:酸化亜鉛粒子

6a:こう鉢

6b:ふた

7:網

8:拡散金属源

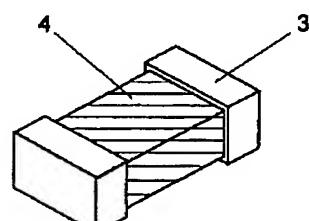
9:バリスタ素体

10 10:内部電極

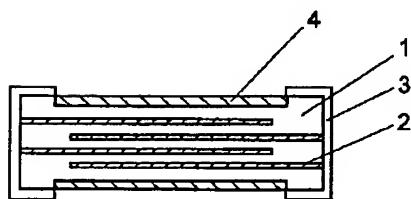
11:端部電極

12:絶縁保護層

【図1】

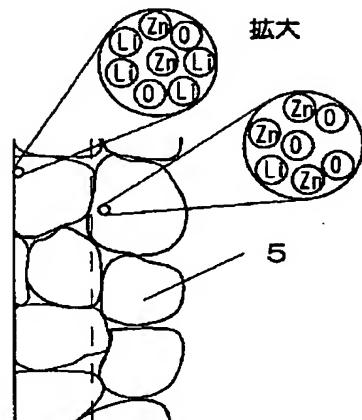


(a)

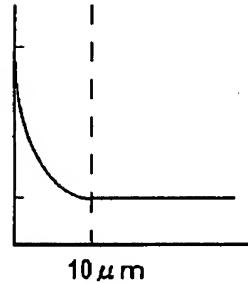


(b)

【図2】

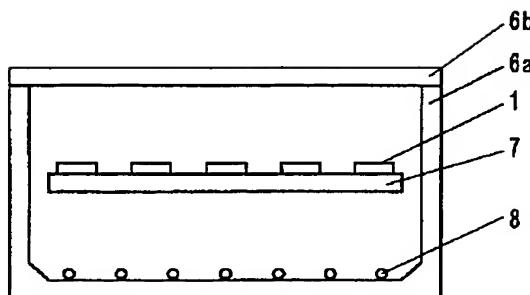


拡大



(b)

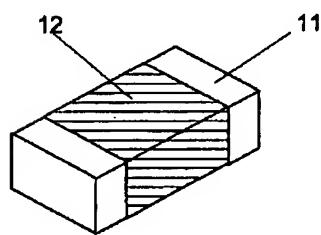
【図3】



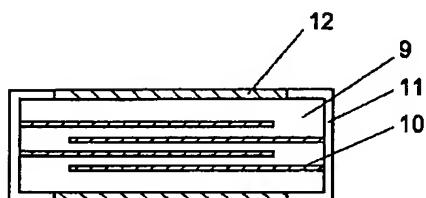
【図4】



【図5】



(a)



(b)